

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : **11-238377**

(43)Date of publication of application : **31.08.1999**

(51)Int.Cl. **G11C 11/15**  
**// H01L 43/08**

(21)Application number : **10-058843** (71)Applicant : **MOTOROLA INC**

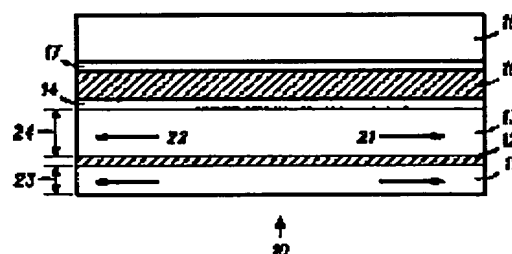
(22)Date of filing : **24.02.1998** (72)Inventor : **TRACY CLARENCE J**  
**CHEN EUGENE**  
**DURLAM MARK**  
**THEODORE ZU**  
**TEHRANI SAIED N**

## (54) STRAY MAGNETIC SHIELD FOR NON-VOLATIC MAGNETIC RESISTANCE MEMORY

### (57)Abstract:

**PROBLEM TO BE SOLVED:** To obtain a non-volatile magnetic resistance memory shielding a memory from a stray magnetic field without increasing a substantial cost of a memory.

**SOLUTION:** A non-volatile magnetic resistance memory 10 positioned at a semiconductor substrate is shielded from a stray magnetic field by a passivation layer 18 covering partially the non-volatile magnetic resistance memory 10 or covering completely it. The passivation layer 18 comprises non-conductive ferrite materials (e.g. Mn-Zn-Ferrite, Ni-Zn-Ferrite, MnFeO, CuFeO, FeO, or NiFeO). thereby shields the non-volatile magnetic resistance memory 10 from a stray magnetic field. Non-conductive ferrite materials may be a form of a layer 18 converging a magnetic field generated internally on the non-volatile



magnetic resistance memory 10 in order to decrease the requirement of power.

---

## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's  
decision of rejection]

[Kind of final disposal of application  
other than the examiner's decision  
of rejection or application  
converted registration]

[Date of final disposal for  
application]

[Patent number]

[Date of registration]

[Number of appeal against  
examiner's decision of rejection]

[Date of requesting appeal against  
examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-238377

(43) 公開日 平成11年(1999) 8月31日

(51) Int.Cl.<sup>6</sup>

G 1 1 C 11/15

// H 0 1 L 43/08

識別記号

F I

G 1 1 C 11/15

H 0 1 L 43/08

Z

審査請求 未請求 請求項の数4 F D 外国語出願 (全 21 頁)

(21) 出願番号

特願平10-58843

(22) 出願日

平成10年(1998) 2月24日

(71) 出願人 390009597

モトローラ・インコーポレイテッド

MOTOROLA INCORPORATED

アメリカ合衆国イリノイ州シャンバーグ、  
イースト・アルゴンクイン・ロード1303

(72) 発明者

クラレンス・ジェイ・トレイシー

アメリカ合衆国アリゾナ州テンピ、サウス・パッチ・アベニュー2311

(72) 発明者

ユージン・チェン

アメリカ合衆国アリゾナ州ギルバート、ウエスト・シェリー・ドライブ1143

(74) 代理人

弁理士 大貫 進介 (外1名)

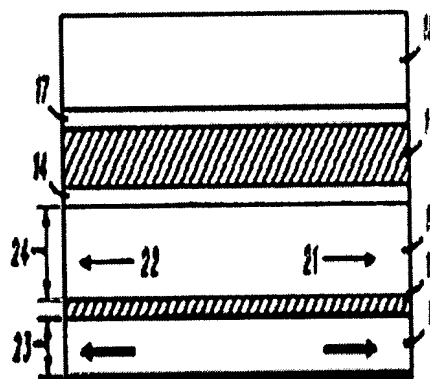
最終頁に続く

(54) 【発明の名称】 不揮発性磁気抵抗メモリのための浮遊磁気遮へい

(57) 【要約】

【課題】 メモリの実質的なコストの付加なしに、浮遊磁場から遮へいする不揮発性磁気抵抗メモリを提供する。

【解決手段】 半導体基板上に位置づけられる不揮発性磁気抵抗メモリ(10)が、不揮発性磁気抵抗メモリ(10)を部分的に、または完全に囲むパッシベーション層(18)によって浮遊磁場から遮へいせられる。そのパッシベーション層(18)は、非導電性フェライト材料(例えば、Mn-Zn-Ferrite, Ni-Zn-Ferrite, MnFeO, CuFeO, FeOまたはNiFeO)を含み、それによって、不揮発性磁気抵抗メモリ(10)を浮遊磁場から遮へいする。非導電性フェライト材料はまた、電力要求を減少させるために、不揮発性磁気抵抗メモリ(10)上に内部で発生する磁場を集束させる層(18)の形態でもよい。



【特許請求の範囲】

【請求項 1】 不揮発性磁気抵抗メモリのための浮遊磁気遮へい構造であって：基板上に位置づけられ、上側表面を決定する不揮発性磁気抵抗メモリ（10、50）；および前記不揮発性磁気抵抗メモリ（10、50）を少なくとも部分的に囲むパッシベーション層（18、60）であって、当該パッシベーション層（18、60）は、フェライト材料を含み、それによって、前記不揮発性磁気抵抗メモリ（10、50）を浮遊磁気から遮へいする、ところのパッシベーション層；から構成されることを特徴とする浮遊磁気遮へい構造。

【請求項 2】 不揮発性磁気抵抗メモリのための浮遊磁気遮へい構造であって：基板上に位置づけられ、上側表面を決定する不揮発性磁気抵抗メモリ（10）であって、当該不揮発性磁気抵抗メモリ（10）は、非磁性材料の層（12）によって離間せられる磁気抵抗材料の少なくとも第1および第2層（11、13）を含む、ところの不揮発性磁気抵抗メモリ（10）；高速磁率材料であり、かつ非導電性磁気材料の層（18）であって、当該層（18）は、前記不揮発性磁気抵抗メモリ（10）の上側表面の近くに位置づけられ、それによって、内部で発生する磁場を前記磁気抵抗材料の第1および第2層（11、13）のうち少なくとも1つの層に集束し、かつ浮遊磁気から前記不揮発性磁気抵抗メモリ（10）を遮へいする、ところの層（18）；および前記不揮発性磁気抵抗メモリ（10）から成る前記層を少なくとも部分的に囲むパッシベーション層（18）；から構成されることを特徴とする浮遊磁気遮へい構造。

【請求項 3】 不揮発性磁気抵抗メモリのための浮遊磁気遮へい構造であって：半導体基板（55）上に位置づけられる不揮発性磁気抵抗メモリ（50）であって、当該不揮発性磁気抵抗メモリ（50）は、非磁性材料の層によって離間せられる磁気抵抗材料の少なくとも第1層および第2層を含む各セルを有する個別セル（51、52）のアレイを含み、さらに、当該不揮発性磁気抵抗メモリ（50）は、入力／出力端子を有する個別セル（51、52）を指定し制御する集積回路（61）を含む、ところの不揮発性磁気抵抗メモリ（50）；および高速磁率であり、かつ非導電性磁気材料の層（60）であって、当該層（60）は、前記不揮発性磁気抵抗メモリ（50）の少なくとも上側表面をコーティングし、それによって、内部で発生する磁場を、各個別のセル（51、52）内の磁気抵抗材料の第1および第2層の少なくとも1つの層上に集束させる、ところの層（60）；から構成されることを特徴とする浮遊磁気遮へい構造。

【請求項 4】 浮遊磁場から不揮発性磁気抵抗メモリを遮へいする方法であって：基板上に位置づけられ、上側表面を決定する不揮発性磁気抵抗メモリを準備する段階；およびフェライト材料を含むパッシベーション材料

の層を有する前記不揮発性磁気抵抗メモリの少なくとも部分的に囲むことによって、前記不揮発性磁気抵抗メモリを、浮遊磁場から、遮へいし、かつ不活性化させる段階；から構成されることを特徴とする方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は一般に不揮発性磁気抵抗メモリに関し、特に不揮発性磁気抵抗型メモリのパッシベーションに関する。

【0002】

【従来の技術および発明が解決しようとする課題】 CMOSデバイスまたは回路を用いて集積したメモリ要素としての大規模磁気抵抗（Giant Magneto-Resistive）（GMR）材料を利用した、超高密度不揮発性メモリが提案されてきた。これらのメモリは、GMRメモリ要素に磁化ベクトル（magnetization vectors）の配向（orientation）として保存される情報によって動作する。その磁化ベクトルは、適用される磁場（H）によって、配向される。磁化ベクトルの配向を読出しおよび書き込みのために使用されるその磁場は、集積CMOS回路によって生成される。十分な大きさの浮遊磁場（stray magnetic field）（メモリの外部で生成される）が、メモリの保持にエラーを引き起こす原因になり得る。

【0003】 浮遊または外部的に生成される磁場は、ほとんど無限に近い数の源から発生する。十分な大きさの浮遊磁場は、制御不能なチャージをするような、磁気メモリに保存される磁化ベクトルを生じさせる原因になる。高密度不揮発性磁気抵抗メモリ（high density non-volatile magneto-resistive memory）は、そのセルが非常に小さくできるので、浮遊磁場に、特に敏感である。したがって、読出しおよび書き込み（磁化ベクトルのスイッチングまたはセンシング）のために比較的低い磁場しか必要としない。また、高密度化によってその隣り合うセル間の距離が減少するに従い、隣り合うセルからの浮遊磁場が大きくなる。

【0004】 浮遊磁場の敏感性を防止する方法の一つとしては、民間または軍事での使用において遭遇するであろう浮遊磁場よりも高いスイッチング磁場を必要とするようなメモリ要素またはメモリセルを設計することである。この方法は、これらの適用において遭遇するであろう浮遊磁場の機能的な特徴化（characterization）を必要とする。この方法は、また、高い内部電力がより多くの電力を必要とし、高い内部磁場を生成し、それによって高電力デバイスにするため望ましくないもので、メモリを動作させるために要求される内部電力に、上限を設定する。高密度メモリの市場は極端に競争が激しい。ビットあたりミリセント（milli-cents per bit）の間でのコスト格差が、市場では勝敗を意味する。製造工程の追加またはパッケージングの複雑さの高度化が、市場における製品の競争力を決定するであろう製造コストを増加さ

せる。

【0005】したがって、メモリの実質的なコストの付加なしに、浮遊磁場から遠へいする不揮発性磁気抵抗メモリを提供することが、非常に望まれる。

【0006】浮遊磁気遠へい構造を有する新規であり、改善された不揮発性磁気抵抗メモリを提供することが、本発明の目的の1つである。

【0007】メモリの実質的なコストの付加なしに、浮遊磁気遠へい構造を有する新規であり、改善された不揮発性磁気抵抗メモリを提供することも、本発明の目的の1つである。

【0008】標準的なパッシベーション技術に組み込まれる、浮遊磁気遠へい構造を有する新規であり、改善された不揮発性磁気抵抗メモリを提供することも、本発明の目的の1つである。

【0009】内部で発生する磁場を集束(focus)させる、浮遊磁気遠へい構造を有する新規であり、改善された不揮発性磁気抵抗メモリを提供することも、本発明の目的の1つである。

【0010】内部で発生する磁場を集束させ、それによって、そのメモリを動作させるのに必要とされる電力量を削減する、浮遊磁気遠へい構造を有する新規であり、改善された不揮発性磁気抵抗メモリを提供することも、本発明の目的の1つである。

【0011】内部で発生する磁場を集束させる、新規であり、改善された不揮発性磁気抵抗メモリを提供することも、本発明の目的の1つである。

【0012】

【好適実施例の詳細な説明】上記問題等は少なくとも部分的に解決され、上記の目的等は、基板上に、および少なくとも部分的に不揮発性磁気メモリを囲むパッシベーション層上に、位置づけられる不揮発性磁気抵抗メモリを含む浮遊磁場を有する不揮発性磁気抵抗メモリ内で実現される。そのパッシベーション層は、浮遊磁場から不揮発性磁気メモリを遠へいするためにフェライト材料を含み、フェライト材料の例としては：Mn-Zn-Ferrite, Ni-Zn-Ferrite, MnFeO, CuFeO, FeOおよびNiFeOを含む。

【0013】フェライト遠へいの様々な詳細な適用が、パッシベーション材料の層内に混合した粉状フェライトを含み、それによって浮遊磁場に対して遠へいを提供し、並びに不揮発性磁気抵抗メモリの上に亘って、フェライト材料の層を形成し、それによって、浮遊磁場に対する不揮発性磁気抵抗メモリを遠へいすることと同様に、内部で発生する磁場を集束させる。内部で発生する磁場を集束させることは、スイッチングおよびセンシングに必要とされる内部で発生する磁場の量を減少させ、次いで、その不揮発性磁気抵抗メモリによって使用される動作電力の量を減少させる。

【0014】図1は、強磁性的に結合される複数の層を有する大規模磁気抵抗GMRセル10の例の拡大断面図で

ある。不揮発性磁気抵抗メモリセル10は、単に例として本明細書に使用され、様々な任意の不揮発性磁気抵抗メモリセルがその構造と関連して使用され得ることが、当業者には理解されるであろう。セル10が、第1磁性体層11および第2磁性体層13を含む複数の磁性体層を有する。層11、13は、第1導電スペーサ層12によって離間せられる。磁性体層11、13のそれぞれは、磁性体材料の単一層であり得る、または、層11に合成磁性体層でもあり得る。さらに、層11は、第1の厚さまたは厚さ23を有し、並びに層13は、厚さ23より厚い第2の厚さまたは厚さ24を有する。

【0015】この実施例においては、層11、13は、長方形であり、幅26の方向ではなく、長手方向27に沿って、磁化容易軸を有するように、形成される。デバイスの他の形態においては、磁化容易軸は、幅26の方向に沿うようにもし得る。層11、13のそれぞれは、実質的に長さ27の方向に沿った、すなわち、実質的に長さ27の方向に平行である、磁化ベクトル21、22を有する。ここで、ベクトル21、22の1セットがセル10に存在するが、2つの異なる状態が、便利のために、図1において同時に図示されていることを理解されたい。ベクトル21、22が、外部磁場の無い状態において、同一方向に並べることができる強磁性カップリングによって、層11、13が結合せられる。このカップリングは、材料の機能であり、層12の厚さである。

【0016】さらに、幅26が、磁壁の幅または層11、13内の移動幅(transition width)よりも小さくなるように、形成される。その結果として、ベクトル21、22は、その幅26の方向と平行にすることができない。典型的に、1.0~1.2ミクロン未満の幅が、結果的には、拘束になる。この実施例においては、幅26は、1ミクロンより小さく、製造技術によって製造可能なかぎりの小ささであり、長さ27は幅26の約5倍である。また、この実施例においては、厚さ23は、約3~6nmであり、厚さ24は約4~10nmである。これから示すとおり、厚さ23と24との違いは、層11、13のスイッチング部分に影響する。ベクトル21、22は、セル10内の磁化ベクトルの2つの異なる状態を示している。1の状態は、論理"0"と呼ばれ、他の状態は、論理"1"である。層11、13の両層における各状態ベクトルは第1方向に方向付けられ、層11、13の両層における他の状態ベクトルは、逆方向または第2方向に方向付けられる。

【0017】セル10の状態を書込むまたはチャージするために、長さ27の方向に沿った1方向から長さ27の方向に沿った逆の方向へ層11、13の両層の磁化ベクトルの方向を完全に切り換えるのに、すなわち、ベクトル21によって示されている状態からベクトル22によって示される状態へ(またはその逆も同様)の切り換

えるのに、十分なトータル磁場が、印加される。トータル磁場を印加するために、横方向導電体またはワードライン16が、メモリセル10の上に存在する誘電体層14の表面上に形成され、第2導電体（図示せず）が、個別の横列状にセル10の反対側の端に接続される。センスラインおよびワードライン16の結合もまた、セル10も保存される状態を読み出す（またはセンス）ために使用される。いくつかの場合においては、ワードライン16に垂直方向である付加的なデジタルライン（digit line）（図示せず）が、トータル磁場の大きさがその磁化ベクトルが確実に転換または切換えを引き起こすのに十分であることが要求される。トータル磁場の大きさは、センス、ワードおよびデジタルライン電流からの結果の磁場の和である。

【0018】図2は、印加される磁場またはトータル磁場に対するセル10（図1）の抵抗値または出力電圧を図示したグラフ31である。その横座標は、磁場方向およびその強度、すなわち、そのセル10の磁化ベクトルを保持（support）するまたは逆向（oppose）する強度を示す。その縦軸は、セル10の出力電圧を示す。曲線32が、出力電圧を介した、磁化ベクトル（例えばベクトル21）の1方向の様々な磁場強度の、磁場抵抗特性を示す。曲線33が、出力電圧を介した、磁化ベクトル（例えばベクトル22）の他の方向の同様な磁場強度の、磁場抵抗特性を示す。0の右側への磁場では、曲線32、33は、曲線32のベクトルを保持し、かつ曲線33のベクトルに逆向する磁場の出力電圧を示し、0の左側への磁場は、曲線33のベクトルを保持し、かつ曲線32のベクトルに逆向する。典型的に、曲線32、33は、電圧軸の同一ポイントで交差し、同一の最小値を有する。説明のために、曲線33は、少しだけ垂直方向に移動させており、その曲線間の相違を示している。

【0019】印加磁場の0においては、セル10の出力電圧は、その磁化ベクトルの方向とほぼ同様に関係ない。0からH1まで磁場が増加するに従って、曲線33は、トータル磁場によって逆に方向付けられるベクトルを有するセル10の出力電圧を示し、曲線32はその磁場によって保持方向ににされるベクトルを有するセル10の電圧を示す。磁場強度H1において、層11のベクトルは、出力電圧を転向し、並びに上昇させる。トータル磁場強度がH1とH3との間で増加するにつれ、層11の磁化ベクトルが、H3の磁場強度付近で他の方向に転向、すばやく切り換わるように持続される。H4付近では、より厚い層13のベクトルが、逆方向に切り換わり、ならびにその抵抗はH4の値およびそれより大きい値では、抵抗値が減少する。同様に、逆方向トータル磁場での出力電圧が、0とH5～H8との間に示される。

【0020】その抵抗値は、通常、セル10の出力電圧をセンシングすることによって決定される。その出力電圧は、セル10の長さの方向に沿って印加される定電圧

をセル10の長さ方向に亘っての電圧降下であり、一方で磁場が印加される。セル10の状態を決定する方法の1つは、層11の切換えしきい値よりも高く（すなわちH3）であって、しかし層13の切換えしきい値と同じ高さ（すなわちH4）ではないトータル磁場を印加することである。トータル磁場が、その磁化ベクトルを保持する方向、すなわち磁化ベクトルと同じ長さ27の方向である場合、その磁化ベクトルは、実質的に転向しないので、セル10の抵抗は実質的に変化しない。それに対応して、その出力電圧のまた実質的に変化しない。

【0021】しかし、トータル磁場がベクトルを逆方向にする場合、磁化ベクトルは転向する。磁場が上昇するにつれ、層11のベクトルは、層11の反対側の端に向かって転向し始める（層13のベクトルはわずかに転向する）。さらに磁場が増加するにつれ、層11のベクトルは、転向し続け、抵抗値は、そのベクトルが逆方向に切り換わるまで上昇する。さらに磁場が上昇すると、層13のベクトルも切り換わるまで、抵抗値は実質的に一定になり、それが保存されている情報における変化をもたらす。それから、その抵抗値は磁場の上昇とともに減小する。

【0022】トータル磁場の値が、センス、ワードおよびデジタルラインの電流から結果として生ずる磁場の和であるという前提のもとセル10が動作するので、トータル磁場と結合する浮遊磁場が、通常の保存の間にセル10に影響するのと同様に、書き込みまたは読出し動作のいずれかにおける実質的なエラーを生じ得ることがわかる。例えば、読出し動作の間、トータル磁場が層11の切換えしきい値よりも高く、かつ層13の磁化ベクトルを切換えるには十分でない場合、浮遊磁場は、H8を過ぎ、実質的にそのセル内の情報を切換えるような、十分なトータル磁場を簡単に印加することができる。さらに、メモリセルの多くが非常に小さく、互いに非常に接近して詰め込まれているので、特に大規模アレイにおいては、比較的小さい量の浮遊磁場がメモリセルに実質的に影響し得る。浮遊磁場の問題を緩和するために、パッシベーション層18が、メモリセル10を少なくとも部分的に囲むように形成される。好適には、層18は、フェライト材料のような不揮発性高透磁率（permeability）材料の層から形成される。前期目的に適するいくつかのフェライト材料は少なくとも：Mn-Zn-Ferrite, Ni-Zn-Ferrite, MnFeO, CuFeO, FeOおよびNiFeO のうちの1つである。層18は非導電性であるので、セル10の表面上に直接にデポジションすることができ、若しくは層18が動作に影響を与えるほど十分に導電である場合、誘電体材料の薄膜17がセル10と層18との間に使用され得る。層18が高透磁率材料から形成されるので、任意の浮遊磁場は、セル10から遠へいされる。さらに、ワードライン16に供給される電流によって生成される任意の磁場が、層18によってセル10上に向かっ

で方向付けられて、若しくは集束し、それによって、電流のより少ない量が、読出しおよび/または書き込みに必要とされるのと同じ量のトータル磁場を達成するために、ワードライン16に供給され得る。

【0023】このように、層18は、浮遊磁場に対するセル10を遮へいすること、並びにセル10内に内部で発生する磁場を集束することの2つの機能を実行する。遮へい機能のみが所望される場合、層18は、混合された少量の高透磁率材料を有する典型的なパッシベーション材料（外部の湿気からの良い障壁を提供する任意の便利な誘電体材料など）から形成される。一般に、高透磁率材料は、粉末状態にされ、液状態または準液状態のパッシベーション材料と混合せられ得る。そして次に、高透磁率材料は、そのセルまたはアレイに適用され、若しくはセルの周りにモールドされる。また、高透磁率材料は、パッシベーション材料に沿ってスパッタリングされるか、若しくはスピンオンされ得る。他の適用技術においては、非常に低コストのデポジション方法として、フェライト材料のパウダが、パッシベーション層上に、または基板の表面上に、またはパッケージに、スプレイコーティングされ得る。

【0024】図3において、セル10に類似するセルのアレイ50の簡略化した拡大断面図が示されている。アレイ50のほんの一部分が、便利のために図示され、セル51、52を含む。代表的には、セル10に類似した複数のセル（例えば51、52）が、各個別のセル51、52などの間にスペースを有する共通の基板55上に形成される。次に、導電体56が、個別の横列（センスライン）の相互接続セル51、52などに適用される。複数の横方向導電体またはワードライン57が、メモリセルの各縦列とその1つ1つが関係して、そのメモリセルの上に重畳する。

【0025】パッシベーション層60が、アレイ全体の上に亘って形成され、それによって、完全に、そのアレイ全体およびそのアレイに伴う集束回路（61でブロックの形態として示される）を不活性化する。好適には、パッシベーション層60は、任意の従来技術を使用したスピンオンまたはスパッタリングされるフェライト材料の層から形成される。一旦、パッシベーション層60の全体が形成されると、開口65が、パッシベーション層60を介して形成され、それによってボンディングパッドなどへの接続を可能にする。この好適実施例においては、パッシベーション層60は、アレイの遮へいおよび不活性化のみならず、関連するセル上に、内部で発生する磁場（すなわち、ワードライン57内の電流によって発生する磁場）を集束し、方向付ける。前記の様に、遮へいおよび不活性化の機能のみが所望されているならば、パッシベーション層60は、混合せられる高透磁率

材料の粉状態物または小さいパーティクルから形成される。

【0026】このように、新規であり、改善された浮遊磁気遮へい構造を有する不揮発性磁気抵抗メモリが、開示された。この浮遊磁気遮へい構造は、提供するものが、単純かつ簡単であり、一般に、例えば標準的なパッシベーション技術として既に位置づけられている手法に組み込まれるので、実質的にメモリのコストを増加させない。好適には、新規であり、改善された不揮発性磁気抵抗メモリのための浮遊磁気遮へい構造もまた、そのメモリの内部で発生する磁場を集束する。浮遊磁気の除去に伴う、磁場の集束は、内部で発生する磁場が、実質的に減少することを可能にし、そのことは、メモリを起動させるのに必要な量の電力を削減する。さらに、その集束は、セルの消費電力を削減し、金属電流密度を減少させ、関連する金属の信頼性を改善する。その集束はまた、駆動トランジスタのサイズを削減し、それによって、セルの実体占有効率（real estate efficiency）を向上させる。

#### 【図面の簡単な説明】

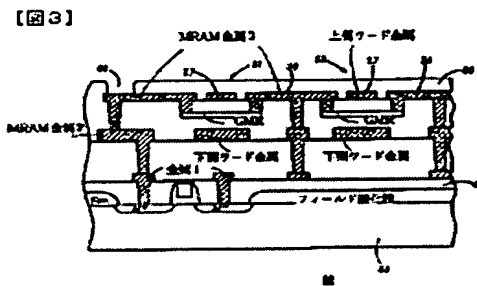
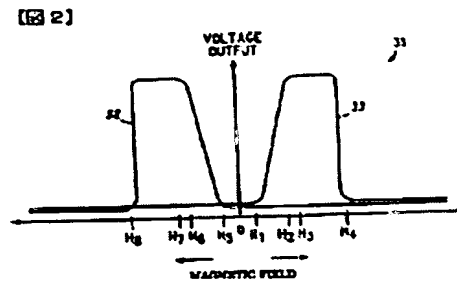
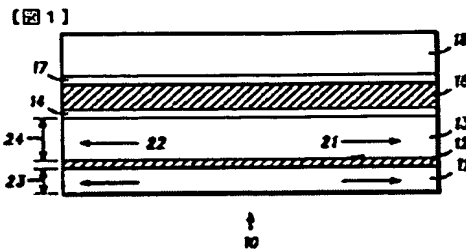
【図1】本発明に従った、不揮発性磁気抵抗メモリの一部の簡略化した拡大断面図。

【図2】図1の不揮発性磁気抵抗メモリにおけるスイッチング状態に必要なとされる磁場をグラフに表した図。

【図3】本発明に従った、高密度不揮発性磁気抵抗メモリの簡略化した断面図。

#### 【符号の説明】

- 10、50 不揮発性磁気抵抗メモリセル
- 11、13 磁気抵抗材料層
- 12 非磁性材料層
- 14 誘電体層
- 16 ワードライン
- 17 誘電体材料の薄層
- 18 パッシベーション層
- 21、22 ベクトル
- 23、24 厚さ
- 26 幅
- 27 長さ
- 31 グラフ
- 32、33 曲線
- 51、52 セル
- 55 基板
- 56 導電体
- 57 ワードライン
- 60 パッシベーション層
- 61 集束回路
- 65 開口



フロントページの続き

(72)発明者 マーク・ダーラム  
アメリカ合衆国アリゾナ州チャンドラー、  
ウエスト・オーチャイド・レーン4076

(72)発明者 セオドア・ス  
アメリカ合衆国アリゾナ州チャンドラー、  
ノース・コンgress・ドライブ1351  
(72)発明者 サイド・エヌ・テラニ  
アメリカ合衆国アリゾナ州テンピ、イース  
ト・パロミノ・ドライブ1917